

A67

SEMICONDUCTOR MEMORY

Patent Number: JP2001126487
Publication date: 2001-05-11
Inventor(s): AKAI KIYOTAKA
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP2001126487
Application Number: JP19990302441 19991025
Priority Number(s):
IPC Classification: G11C11/417
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which both margins of a data setup time and a data holding time can be sufficiently enlarged.
SOLUTION: In a SRAM, a timing generator 20 generates a signal WDL which rises to a 'H' level responding to a transition point of write-in data DI and falls to a 'L' level before an external control signal /ME rises to a 'H' level. An input buffer 11 makes transmit the write-in data DI to a data bus DB only for a period of a 'H' level of the signal WDL. As a margin Tsm of a data setup time and margin Thm of a data holding time can be set independently, both of Tsm and Thm can be enlarged.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-126487
(P2001-126487A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl.⁷
G11C 11/417

識別記号

F I
G11C 11/34

テーマコード(参考)

305 5B015

審査請求 未請求 請求項の数7 O L (全17頁)

(21)出願番号 特願平11-302441

(22)出願日 平成11年10月25日(1999.10.25)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 赤井 清恭

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

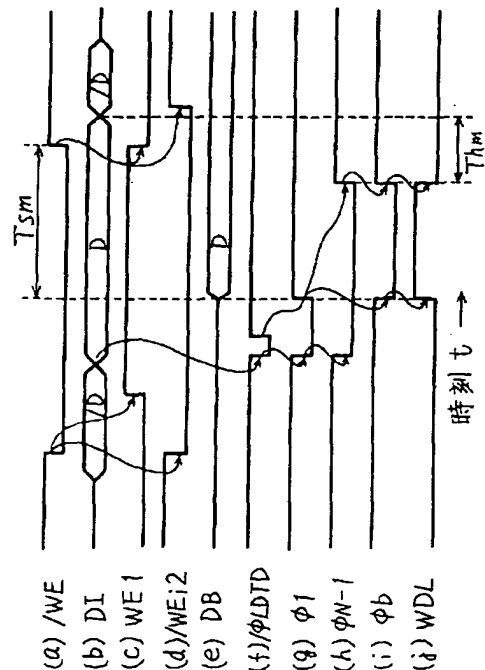
Fターム(参考) 5B015 JJ11 JJ24 KB32 KB35 KB36
KB85 KB86 KB87 QQ18

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 データセットアップ時間とデータホールド時間の両方のマージンを十分に大きくすることが可能な半導体記憶装置を提供する。

【解決手段】 SRAMにおいて、タイミングジェネレータ20は、書込データDIの遷移点に応答して「H」レベルに立上がり、外部制御信号／WEが「H」レベルに立上がる前に「L」レベルに立下がる信号WDLを生成する。入力バッファ11は、信号WDLが「H」レベルの期間だけ書込データDIをデータバスDBに伝達させる。データセットアップ時間のマージン T_{sm} とデータホールド時間のマージン T_{hm} を別々に設定できるので、 T_{sm} と T_{hm} の両方を大きくすることができる。



【特許請求の範囲】

【請求項1】 外部制御信号に従って外部データをデータバスに取込む半導体記憶装置であって、前記外部制御信号の前縁または前記外部データの遷移点にตอบสนองして第1の制御信号の前縁を出力し、前記外部制御信号の後縁が入力される前に前記第1の制御信号の後縁を出力する制御信号発生回路、および前記第1の制御信号の前縁が出力されてから後縁が出力されるまでの期間に前記外部データを前記データバスに伝達させる入力バッファを備える、半導体記憶装置。

【請求項2】 前記制御信号発生回路は、前記外部制御信号の前縁または前記外部データの遷移点にตอบสนองして第1の信号の前縁を出力し、予め定められた第1の時間の経過後に前記第1の信号の後縁を出力する第1の信号発生回路、

前記外部制御信号の前縁または前記外部データの遷移点にตอบสนองして第2の信号の前縁を出力し、前記第1の時間よりも長い予め定められた第2の時間の経過後に前記第2の信号の後縁を出力する第2の信号発生回路、および前記第1の信号の後縁にตอบสนองして前記第1の制御信号の前縁を出力し、前記第2の信号の後縁にตอบสนองして前記第1の制御信号の後縁を出力する第3の信号発生回路を含む、請求項1に記載の半導体記憶装置。

【請求項3】 前記制御信号発生回路は、前記外部信号の前縁または前記外部データの遷移点にตอบสนองして第1の信号の前縁を出力し、予め定められた第1の時間の経過後に前記第1の信号の後縁を出力する信号発生回路、

前記信号発生回路から出力された第1の信号の後縁を予め定められた第2の時間だけ遅延させて第2の信号を生成する第1の遅延回路、および前記第1の遅延回路で生成された第2の信号の前縁を予め定められた第3の時間だけ遅延させて前記第1の制御信号を生成する第2の遅延回路を含む、請求項1に記載の半導体記憶装置。

【請求項4】 前記入力バッファは、前記外部データを予め定められた時間だけ遅延させて前記データバスに伝達させる、請求項1から請求項3のいずれかに記載の半導体記憶装置。

【請求項5】 さらに、前記データバスに接続され、前記第1の制御信号の後縁にตอบสนองして前記データバスのデータをラッチするラッチ回路を備える、請求項1から請求項4のいずれかに記載の半導体記憶装置。

【請求項6】 前記制御信号発生回路は、さらに、前記外部制御信号の前縁または前記外部データの遷移点にตอบสนองして第2の制御信号の前縁を出力し、前記第1の制御信号の後縁よりも先に前記第2の制御信号の後縁を出力し、さらに、前記データバスに接続され、前記第2の制御信号の後縁にตอบสนองして前記データバスのデータをラッチするラッチ回路を備える、請求項1から請求項4のいずれ

かに記載の半導体記憶装置。

【請求項7】 前記データバスは、データの書込に用いられるライトデータバスであり、さらに、データの読出に用いられるリードデータバスを備える、請求項1から請求項6のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置に関し、特に、外部制御信号に従って外部データをデータバスに取込む半導体記憶装置に関する。

【0002】

【従来の技術】図19は、従来のスタティックランダムアクセスメモリ（以下、SRAMと称す）の入力バッファ150の構成を示す回路ブロック図である。図19において、この入力バッファ150は、NORゲート151、152、インバータ153～158、ボウスディレイ回路159、NANDゲート160、PチャネルMOSトランジスタ161およびNチャネルMOSトランジスタ162を含む。NORゲート151は、書込データDIおよび信号/WE_i2を受け、その出力信号がインバータ151～155、ボウスディレイ回路159およびインバータ156、157によって遅延されて信号φ_fとなり、信号φ_fはNANDゲート160およびNORゲート152の一方入力ノードに入力される。インバータ155の出力信号は、ローカルデータ遷移検出回路（以下、LDTD回路と称す）に与えられる。信号WE₁は、NANDゲート160の他方入力ノードに入力されるとともに、インバータ158を介してNORゲート152の他方入力ノードに入力される。PチャネルMOSトランジスタ161は、電源電位VCCのラインとデータバスDBとの間に接続され、そのゲートがNANDゲート160の出力信号を受ける。NチャネルMOSトランジスタ162は、接地電位GNDのラインとデータバスDBとの間に接続され、そのゲートはNORゲート152の出力信号を受ける。

【0003】信号/WE_i2が活性化レベルの「L」レベルの期間は、NORゲート151は書込データDIに対してインバータとして動作する。信号WE₁が活性化レベルの「H」レベルの期間は、NANDゲート160およびNORゲート152の各々はインバータ157の出力信号φ_fに対してインバータとして動作する。信号WE₁は、図21に示すように、外部制御信号/WEの立下がりを遅延させた上で反転させた信号である。信号/WE_i2は、外部制御信号/WEの立上がりを遅延させた信号である。したがって、信号WE₁が活性化レベルの「H」レベルになるのは、信号/WE_i2が活性化レベルの「L」レベルである期間である。このため、信号WDLが「H」レベルであり、かつデータDIが「H」レベルの期間は、PチャネルMOSトランジスタ

161が導通しNチャネルMOSトランジスタ162が非導通になってデータバスDBが「H」レベルになる。また、信号WDLが「H」レベルであり、かつデータDIが「L」レベルの期間は、NチャネルMOSトランジスタ162が導通し、PチャネルMOSトランジスタ161が非導通になってデータバスDBが「L」レベルになる。

【0004】図20は、データバスDBのレベルをラッチするためのラッチ回路170の構成を示す回路図である。図20において、このラッチ回路170は、NORゲート171、インバータ172～175およびクロックドインバータ176、177を含み、クロックドインバータ176、177の各々はPチャネルMOSトランジスタ181、182およびNチャネルMOSトランジスタ183、184を含む。

【0005】MOSトランジスタ181～184は、電源電位VCCのラインと接地電位GNDのラインとの間に直列接続される。クロックドインバータ176のMOSトランジスタ182、183のゲートはその入力ノード176aに接続され、そのMOSトランジスタ182、183のドレインはその出力ノード176bに接続される。クロックドインバータ177のMOSトランジスタ182、183のゲートはその入力ノード177aに接続され、そのMOSトランジスタ182、183のドレインはその出力ノード177aに接続される。

【0006】NORゲート171は、信号WE1、RDL受け、その出力信号はインバータ172を介してクロックドインバータ176のNチャネルMOSトランジスタ184のゲートおよびクロックドインバータ177のPチャネルMOSトランジスタ181のゲートに入力されるとともに、インバータ172、173を介してクロックドインバータ176のPチャネルMOSトランジスタ181のゲートおよびクロックドインバータ177のNチャネルMOSトランジスタ184のゲートに入力される。

【0007】クロックドインバータ176の入力ノード176aとクロックドインバータ177の出力ノード177aとはともにデータバスDBに接続される。クロックドインバータ176の出力ノード176bは、クロックドインバータ177の入力ノード177aおよびインバータ174の入力ノードに接続される。インバータ174の出力ノードはインバータ175を介してクロックドインバータ177の入力ノード177aに接続される。

【0008】信号WE1またはRDLが「H」レベルの期間は、クロックドインバータ176のMOSトランジスタ181、184が導通してクロックドインバータ176が活性化されるとともに、クロックドインバータ177のMOSトランジスタ181、184が非導通になってクロックドインバータ177が非活性化される。こ

れにより、データバスDBのレベルがクロックドインバータ176を介してインバータ174、175からなるラッチ回路に取込まれる。信号WDL、RDLが「L」レベルになると、クロックドインバータ176が非活性化されるとともにクロックドインバータ177が活性化され、インバータ174、175にラッチされたレベルがクロックドインバータ177を介してデータバスDBに与えられる。したがって、データバスDBは、信号WD1またはRDLが「L」レベルに立下がる際のレベルにラッチされる。

【0009】図21は、図19および図20に示したSRAMの書込動作を示すタイムチャートである。ある時刻に信号WEが活性化レベルの「L」レベルに立下がると、まず信号WE1が活性化レベルの「L」レベルに立下がり、所定のフォールディレイ時間Tdf経過後に信号WE1が活性化レベルの「H」レベルに立上る。これにより、入力バッファ150が活性化されて書込データDIがデータバスDBに伝達されるとともに、ラッチ回路170のクロックドインバータ176が活性化されてデータバスDBのレベルがラッチ回路170に取込まれる。書込データDIは、ボウスディレイ回路159のディレイ時間だけ遅延されてデータバスDBに伝達される。

【0010】信号WEが非活性化レベルの「H」レベルに立上ると、信号WE1が非活性化レベルの「L」レベルに立下がり、所定のライズディレイ時間Tdr経過後に信号WE1が非活性化レベルの「H」レベルに立上る。信号WEの立下がりエッジにตอบสนองして、書込データDIのデータバスDBへの入力が停止されるとともにデータバスDBのレベルがラッチ回路170によってラッチされる。

【0011】このように、このSRAMでは、入力バッファ150内にボウスディレイ回路159を設けることによりデータホールド時間のマージンThmを確保している。ここで、データホールド時間とは、外部制御信号WEが非活性化レベルの「H」レベルに立上った後に書込データDIを入力しておく必要がある時間をいう。このSRAMではデータホールド時間は0であり、外部制御信号WEが非活性化レベルの「H」レベルになる時刻よりもボウスディレイ回路159のボウスディレイ時間Tdbだけ早い時刻に書込データの入力を停止してもデータ書込は正常に行なわれる。信号WEが「H」レベルに立上ってからデータD、Dの遷移点までの時間にボウスディレイ時間Tdbを加えた時間がデータホールド時間のマージンThmとなる。

【0012】また、データホールド時間と相反するスペックとしてデータセットアップ時間がある。データセットアップ時間とは、外部制御信号WEが活性化レベルの「L」レベルである間に書込データDIを与えておく必要がある時間をいう。データバスDBのデータが正規

データDに切換わってから信号／WEが非活性化レベルの「H」レベルに立上がるまでの時間がセットアップ時間のマージン T_{sm} となる。

【0013】

【発明が解決しようとする課題】ところで、このSRAMは低電源電圧から高電源電圧まで比較的広い電圧範囲で使用可能となっているが、ディレイ回路のディレイ時間は、図22に示すように、電源電圧が高くなるにしたがって短くなる。

【0014】このため、低電源電圧で図21の状態になるようにディレイ回路のディレイ時間を設定していても、高電源電圧では図23に示すようにディレイ時間が短くなり、データセットアップ時間のマージン T_{sm} は大きくなるがデータホールド時間のマージン T_{hm} が小さくなってしまう。

【0015】逆に、高電源電圧で図21の状態になるようにディレイ回路のディレイ時間を設定していても、低電源電圧ではディレイ時間が長くなり、データホールド時間のマージン T_{hm} は大きくなるがデータセットアップ時間のマージン T_{sm} は小さくなってしまう。

【0016】それゆえに、この発明の主たる目的は、データセットアップ時間とデータホールド時間の両方のマージンを十分に大きくすることが可能な半導体記憶装置を提供することである。

【0017】

【課題を解決するための手段】請求項1に係る発明は、外部制御信号に従って外部データをデータバスに取込む半導体記憶装置であって、外部制御信号の前縁または外部データの遷移点にตอบสนองして第1の制御信号の前縁を出力し、外部制御信号の後縁が入力される前に第1の制御信号の後縁を出力する制御信号発生回路と、第1の制御信号の前縁が出力されてから後縁が出力されるまでの期間に外部データをデータバスに伝達させる入力バッファとを備えたものである。

【0018】請求項2に係る発明では、請求項1に係る発明の制御信号発生回路は、外部制御信号の前縁または外部データの遷移点にตอบสนองして第1の信号の前縁を出力し、予め定められた第1の時間の経過後に第1の信号の後縁を出力する第1の信号発生回路と、外部制御信号の前縁または外部データの遷移点にตอบสนองして第2の信号の前縁を出力し、第1の時間よりも長い予め定められた第2の時間の経過後に第2の信号の後縁を出力する第2の信号発生回路と、第1の信号の後縁にตอบสนองして第1の制御信号の前縁を出力し、第2の信号の後縁にตอบสนองして第1の制御信号の後縁を出力する第3の信号発生回路とを含む。

【0019】請求項3に係る発明では、請求項1に係る発明の制御信号発生回路は、外部信号の前縁または外部データの遷移点にตอบสนองして第1の信号の前縁を出力し、予め定められた第1の時間の経過後に第1の信号の後縁

を出力する信号発生回路と、信号発生回路から出力された第1の信号の後縁を予め定められた第2の時間だけ遅延させて第2の信号を生成する第1の遅延回路と、第1の遅延回路で生成された第2の信号の前縁を予め定められた第3の時間だけ遅延させて第1の制御信号を生成する第2の遅延回路とを含む。

【0020】請求項4に係る発明では、請求項1から3のいずれかに係る発明の入力バッファは、外部データを予め定められた時間だけ遅延させてデータバスに伝達させる。

【0021】請求項5に係る発明では、請求項1から4のいずれかに係る発明に、データバスに接続され、第1の制御信号の後縁にตอบสนองしてデータバスのデータをラッチするラッチ回路がさらに設けられる。

【0022】請求項6に係る発明では、請求項1から4のいずれかに係る発明の制御信号発生回路は、さらに、外部制御信号の前縁または外部データの遷移点にตอบสนองして第2の制御信号の前縁を出力し、第1の制御信号の後縁よりも先に第2の制御信号の後縁を出力する。また、データバスに接続され、第2の制御信号の後縁にตอบสนองしてデータバスのデータをラッチするラッチ回路がさらに設けられる。

【0023】請求項7に係る発明では、請求項1から6のいずれかに係る発明のデータバスは、データの書込に用いられるライトデータバスである。また、データの読出に用いられるリードデータバスがさらに設けられる。

【0024】

【発明の実施の形態】〔実施の形態1〕図1は、この発明の実施の形態1によるSRAMの全体構成を示すブロック図である。図1において、このSRAMは、行アドレスバッファ1、行デコード2、メモリセルアレイ3、ビット線負荷回路4、マルチプレクサ5、列アドレスバッファ6、列デコード7、センスアンプ8、ラッチ回路9、出力バッファ10、入力バッファ11およびライトドライバ12を備える。

【0025】行アドレスバッファ1は、外部行アドレス信号 $X_0 \sim X_m$ （ただし、 m は0以上の整数である）の増幅信号および反転増幅信号を生成して行デコード2に与えられる。列アドレスバッファ6は、外部列アドレス信号 $Y_0 \sim Y_n$ （ただし、 n は0以上の整数である）の増幅信号および反転増幅信号を生成して列デコード7に与える。

【0026】メモリセルアレイ3は、図2に示すように、複数行複数列（図面および説明の簡単化のために2行2列とする）に配置された複数（図では4つ）のメモリセル $MC_1 \sim MC_4$ と、それぞれ2行に対応して設けられたワード線 WL_1 、 WL_2 と、それぞれ2列に対応して設けられたビット線対 BL_1 、 $/BL_1$ ； BL_2 、 $/BL_2$ とを含む。

【0027】メモリセル MC_1 は、図3に示すように、

記憶ノードN1、N2、負荷抵抗素子21、22、アクセストランジスタ（NチャネルMOSトランジスタ）23、24およびドライバトランジスタ（NチャネルMOSトランジスタ）25、26を含む。抵抗素子21、22は、それぞれ電源電位VCCのラインと記憶ノードN1、N2との間に接続される。NチャネルMOSトランジスタ25、26は、それぞれ記憶ノードN1、N2と接地電位GNDのラインとに間に接続され、各々のゲートはそれぞれ記憶ノードN2、N1に接続される。NチャネルMOSトランジスタ23、24は、それぞれ記憶ノードN1、N2と対応のビット線BL1、/BL1との間に接続され、各々のゲートはともに対応のワード線WL1に接続される。

【0028】ワード線WL1が選択レベルの「H」レベルに立上げられると、NチャネルMOSトランジスタ23、24が導通してメモリセルMC1が活性化される。書込動作時は、書込データDIに応じてビット線BL1、/BL1の一方を「H」レベルにし、他方を「L」レベルにする。たとえばビット線BL1、/BL1をそれぞれ「H」レベルおよび「L」レベルにすると、NチャネルMOSトランジスタ26が導通して記憶ノードN2が「L」レベルになり、NチャネルMOSトランジスタ25が非導通になって記憶ノードN1が「H」レベルになる。ワード線WL1を非選択レベルの「L」レベルにすると、NチャネルMOSトランジスタ23、24が非導通になり、電源電位VCCのラインから負荷抵抗素子21、22を介して記憶ノードN1、N2に流れる電流によって記憶ノードN1、N2のレベルが保持される。

【0029】読出動作時は、ビット線BL1、/BL1が「H」レベルにプリチャージされた状態でワード線WL1が選択レベルの「H」レベルに立上げられてメモリセルMC1が活性化される。たとえば記憶ノードN1、N2にそれぞれ「H」レベルおよび「L」レベルが保持されていたとすると、ビット線/BL1からNチャネルMOSトランジスタ24、記憶ノードN2およびNチャネルMOSトランジスタ26を介して接地電位GNDのラインにコラム電流が流れ、ビット線/BL1の電位が ΔV だけ低下する。ビット線BL1の電位は、NチャネルMOSトランジスタ25が非導通になっているので低下しない。したがって、ビット線BL1、/BL1の電位を比較することにより、記憶ノードN1、N2のレベルすなわち記憶データを読出すことができる。なお、 ΔV はビット線振幅と呼ばれ、50～500mV程度に設定される。他のメモリセルMC2～MC4もメモリセルMC1と同じ構成である。

【0030】図2に戻って、ビット線負荷回路4は、NチャネルMOSトランジスタ4a～4dを含む。NチャネルMOSトランジスタ4a～4dは、それぞれ電源電位VCCのラインとビット線BL1、/BL1、BL

2、/BL2の一方端との間に接続され、各々のゲートはともに電源電位VCCのラインに接続される。電源電位VCCのラインからNチャネルMOSトランジスタ4a～4dを介してビット線BL1、/BL1、BL2、/BL2に電流が供給され、ビット線BL1、/BL1、BL2、/BL2の各々がVCC-Vth（ただし、VthはNチャネルMOSトランジスタ4a～4dのしきい値電圧である）にプリチャージされる。

【0031】マルチプレクサ5は、NチャネルMOSトランジスタ5a～5dを含む。NチャネルMOSトランジスタ5a、5bは、それぞれビット線BL1、/BL1の他方端とデータ入出力線IO、/IOの一方端との間に接続され、各々のゲートはともに列選択線CSL1を介して列デコーダ7に接続される。NチャネルMOSトランジスタ5c、5dは、それぞれビット線BL2、/BL2の他方端とデータ入出力線IO、/IOの一方端との間に接続され、各々のゲートはともに列選択線CSL2を介して列デコーダ7に接続される。

【0032】列デコーダ7によってたとえば列選択線CSL1が選択レベルの「H」レベルに立上げられると、NチャネルMOSトランジスタ5a、5bが導通してビット線対BL1、/BL1とデータ入出力線対IO、/IOとが結合される。データ入出力線対IO、/IOの他方端は、センスアンプ8およびライトドライバ12に接続される。

【0033】センスアンプ8は、読出動作時にデータ入出力線対IO、/IOに現われた微小電位差を増幅してデータバスDBに与える。ラッチ回路9は、データバスDBのレベルをラッチする。出力バッファ10は、読出動作時にデータバスDBのレベルを増幅し読出データDOとして外部に出力する。

【0034】入力バッファ11は、書込動作時に外部から与えられた書込データDIに応じたレベルをデータバスDBに与える。ライトドライバ12は、書込動作時にデータバスDBのレベルすなわち書込データDIに従って、データ入出力線IO、/IOの一方を「H」レベルにし他方を「L」レベルにする。

【0035】図1に戻って、このSRAMは、さらにチップセレクト制御回路13、読出/書込制御回路14、LDTD回路15、ローカルアドレス遷移検出回路（以下、LATD回路と称す）16～19およびタイミングジェネレータ20を備える。

【0036】チップセレクト制御回路13は、外部制御信号/CSに従って内部制御信号を生成し、内部制御信号によって列アドレスバッファ6、列デコーダ7および読出/書込制御回路14を制御する。読出/書込制御回路14は、外部制御信号/WEに従って出力バッファ10および入力バッファ11を制御する。

【0037】LDTD回路15は、外部データDIの遷移点に応答してワンショットパルスを生成しタイミング

ジェネレータ20に与える。LATD回路16~19は、それぞれ、外部制御信号/WE、列アドレス信号Y0~Yn、外部制御信号/CSおよび行アドレス信号X0~Xmの変化点にตอบสนองしてワンショットパルスを生成しタイミングジェネレータ20に与える。

【0038】タイミングジェネレータ20は、読出/書込制御回路14、LDTD回路15およびLATD回路16~19の出力信号に従って、行デコーダ2、列デコーダ7、センスアンプ8、ラッチ回路9、入力バッファ11およびライトドライバ12を制御する。

【0039】図4は、図1~図3に示したSRAMの読出動作を示すタイムチャートである。図4において、まず外部アドレス信号Ain(X0~Xm, Y0~Yn)が入力され(時刻t0)、アドレスバッファ1、6からデコーダ2、7に内部アドレス信号Aoutが与えられる(時刻t1)。

【0040】外部アドレス信号X0~Xmによって指定されたワード線(たとえばWL1)が行デコーダ2によって選択レベルの「H」レベルに立上げられ(時刻t2)、ワード線WL1に対応するメモリセルMC1、MC2が活性化される。これにより、4本のビット線BL1、/BL1、BL2、/BL2のうちの2本のビット線(たとえば/BL1、/BL2)の電位がメモリセルMC1、MC2の記憶データに応じて微小量ΔVだけ低下する。

【0041】次いで、外部アドレス信号Y0~Ynによって指定された列選択線(たとえばCSL1)が列デコーダ7によって選択レベルの「H」レベルに立上げられ、その列選択線CSL1に対応するビット線対BL1、/BL1がデータ入出力線対IO、/IOに結合される。これにより、ビット線BL1、/BL1の電位がそれぞれデータ入出力線IO、/IOの伝達される(時刻t3)。

【0042】次いで、センスアンプ8によってデータ入出力線対IO、/IOの電位差が増幅されてデータバスDBに与えられ(時刻t4)、データバスDBのレベルはラッチ回路9にラッチされる。ラッチ回路9によってラッチされたデータバスDBのレベルは、出力バッファ10によって増幅されて読出データDOとして外部に出力される(時刻t5)。

【0043】書込動作時は、まずデータバスDBが入力バッファ11によって書込データDIに応じたレベルにされ、データバスDBのレベルはラッチ回路9によってラッチされる。次いで、外部アドレス信号Y0~Ynによって指定された列選択線(たとえばCSL1)が列デコーダ7によって選択レベルの「H」レベルに立上げられ、その列選択線CSL1に対応するビット線対BL1、/BL1がデータ入出力線対IO、/IOに結合される。

【0044】次に、データバスDBのレベルすなわち書

込データDIに応じて、ライトドライバ12によって一方のデータ入出力線(たとえばIO)が「H」レベルにされるとともに他方のデータ入出力線対/IOが「L」レベルにされる。これにより、ビット線BL1が「H」レベルにされるとともに、ビット線/BL1が「L」レベルにされる。

【0045】次いで、外部アドレス信号X0~Xmによって指定されたワード線(たとえばWL1)が行デコーダ2によって選択レベルの「H」レベルに立上げられ、そのワード線WL1に対応するメモリセルMC1、MC2が活性化される。これにより、メモリセルMC1の記憶ノードN1、N2にそれぞれ「H」レベルおよび「L」レベルが書込まれる。ワード線WL1および列選択線CSL1が非活性化レベルの「L」レベルに立下げられてデータの書込が終了する。

【0046】なお、メモリセルMC1は、図3で示した高抵抗負荷型メモリセルでもよいし、図5に示すようなCMOS型メモリセルでもよい。CMOS型メモリセルは、記憶ノードN3、N4、PチャネルMOSトランジスタ31、32およびNチャネルMOSトランジスタ33~36を含む。PチャネルMOSトランジスタ31、32は、それぞれ電源電位VCCのラインと記憶ノードN3、N4との間に接続され、各々のゲートはそれぞれ記憶ノードN4、N3に接続される。NチャネルMOSトランジスタ35、36は、それぞれ記憶ノードN3、N4と接地電位GNDのラインとの間に接続され、各々のゲートはそれぞれ記憶ノードN4、N3に接続される。NチャネルMOSトランジスタ33、34は、それぞれ記憶ノードN3、N4とビット線BL1、/BL1との間に接続され、各々のゲートはともにワード線WL1に接続される。書込および読出動作は、高抵抗負荷型メモリセルと同じである次に、この発明の特徴となるデータ書込に関連する部分について詳細に説明する。図6は、読出/書込制御回路14の構成を示す回路ブロック図である。図6において、この読出/書込制御回路14は、NORゲート41、インバータ42~51、フォールディレイ回路52およびライズディレイ回路53を含む。

【0047】NORゲート14は、外部制御信号/WEとチップセレクト制御回路13で生成された内部制御信号/CS'を受け、その出力信号はインバータ42~46で遅延されて内部制御信号/WE'となる。インバータ44の出力信号は、LATD回路16、フォールディレイ回路52およびライズディレイ回路53に入力される。フォールディレイ回路52は、インバータ44の出力信号の立下がりを所定のフォールディレイ時間だけ遅延させる。フォールディレイ回路52の出力信号は、インバータ47~49で反転されて内部制御信号WE1となる。ライズディレイ回路53は、インバータ44の出力信号の立上りを所定のライズディレイ時間だけ遅

延させる。ライズディレイ回路53の出力信号は、インバータ50、51で遅延されて内部制御信号／WE_i2となる。

【0048】内部制御信号／CS'が活性化レベルの「L」レベルになると、NORゲート41は信号／WEに対してインバータとして動作し、読出／書込制御回路14が活性化される。内部制御信号WE1は、図10に示すように、信号／WEが「L」レベルに立下がってからフォールディレイ回路52のフォールディレイ時間経過後に「H」レベルに立上がり、信号／WEの立上がりエッジにตอบสนองして「L」レベルに立下がる。信号／WE_i2は、図10に示すように、信号／WEの立下がりエッジにตอบสนองして「L」レベルに立下がり、信号／WEが「H」レベルに立上がってからライズディレイ回路53のライズディレイ時間経過後に「H」レベルに立上がる。

【0049】図7は、タイミングジェネレータ20の構成を示す回路ブロック図である。図7において、このタイミングジェネレータ20は、インバータ60～69、ライズディレイ回路70、1～70、N（ただしNは4以上の整数である）、71、NANDゲート72～74およびNチャネルMOSTランジスタ75、76を含む。

【0050】LDTD回路15から出力された正パルス信号φLDTDはインバータ60で反転されて信号／φLDTDとなる。信号／φLDTDは直列接続されたN段のライズディレイ回路70、1～70、1Nによって遅延される。ライズディレイ回路70、N-1、70、Nの出力信号φN-1、φNは、それぞれインバータ68、63で反転されて信号／φN-1、／φNとなる。

【0051】インバータ61はノードN5とN6の間に接続され、インバータ62はノードN6とN5の間に接続される。インバータ61と62は、ラッチ回路を構成する。NチャネルMOSTランジスタ75、76は、それぞれノードN5、N6と接地電位GNDのラインとの間に接続され、各々のゲートはそれぞれ信号WE1、φLATD1を受ける。信号φLATD1は、アドレス信号X0～X_m、Y0～Y_nが変化したときにLATD回路17、19から出力される正パルス信号である。したがって、書込または読出動作に先立ってNチャネルMOSTランジスタ76がパルス的に導通し、ノードN5の電位すなわち信号φaが「H」レベルにリセットされる。また、書込動作時において信号WE1が活性化レベルの「H」レベルになるとNチャネルMOSTランジスタ75が導通して信号φaが「L」レベルになる。

【0052】NANDゲート72は、ライズディレイ回路70、1の出力信号φ1とインバータ63の出力信号／φNを受け、その出力信号はインバータ64で反転されてワード線活性化信号WLEとなる。ワード線活性化信号WLEは、信号φ1の立上がりエッジにตอบสนองして

「H」レベルに立上がり、信号φNの立上がりエッジにตอบสนองして「L」レベルに立下がる。ワード線活性化信号WLEが「H」レベルの期間だけ、ワード線WLが「H」レベルにされる。

【0053】NANDゲート73は、信号φaとライズディレイ回路70、2の出力信号φ2とインバータ63の出力信号／φNを受け、その出力信号はインバータ65で反転されてセンスアンプ活性化信号SEとなる。信号SEは、信号WE1が「H」レベルの期間は非活性化レベルの「L」レベルに固定される。信号SEは、信号WE1が「L」レベルの期間において、信号φ2の立上がりエッジにตอบสนองして「H」レベルに立上がり、信号φNの立上がりエッジにตอบสนองして「L」レベルに立下がる。信号SEが「H」レベルになると、センスアンプ8が活性化される。

【0054】ライズディレイ回路71は、センスアンプ活性化信号SEの立上がりを所定のライズディレイ時間だけ遅延させる。ライズディレイ回路71の出力信号は、インバータ66、67で遅延されて信号RDLとなる。ラッチ回路9は、信号RDLが「H」レベルの期間にデータバスDBのレベルを取込む。信号RDLの立下がりエッジにตอบสนองしてデータバスDBのレベルがラッチ回路9にラッチされる。

【0055】NANDゲート74は、信号WE1とライズディレイ回路70、1の出力信号φ1とインバータ68の出力信号／φN-1を受け、その出力信号φbはインバータ69で反転されて信号WDLとなる。信号WDLは、信号WE1が「L」レベルの期間は「L」レベルに固定される。信号WDLは、図10に示すように、信号WE1が「H」レベルの期間において信号φ1の立上がりエッジにตอบสนองして「H」レベルに立上がり、信号φN-1の立上がりエッジにตอบสนองして「L」レベルに立下がる。ラッチ回路9は、信号WDLが「H」レベルの期間にデータバスDBのレベルを取込む。信号WDLの立下がりエッジにตอบสนองしてデータバスDBのレベルがラッチ回路9にラッチされる。

【0056】図8は、入力バッファ11の構成を示す回路図である。図8において、この入力バッファ11は、NORゲート80、81、インバータ82～87、NANDゲート88、PチャネルMOSTランジスタ89およびNチャネルMOSTランジスタ90を含む。NORゲート80は、書込データDIおよび信号／WE_i2を受け、その出力信号はインバータ82～86を介してNANDゲート88およびNORゲート81の一方入力ノードに入力される。インバータ84の出力信号は、LDTD回路15に与えられる。信号WDLは、NANDゲート88の他方入力ノードに入力されるとともに、インバータ87を介してNORゲート81の他方入力ノードに入力される。PチャネルMOSTランジスタ89は、電源電位VCCのラインとデータバスDBとの間に接続

され、そのゲートはNANDゲート88の出力信号を受ける。NチャネルMOSTランジスタ90は、接地電位GNDのラインとデータバスDBとの間に接続され、そのゲートはNORゲート81の出力信号を受ける。

【0057】信号/WE_i2が活性化レベルの「L」レベルの期間は、NORゲート80は書込データDIに対してインバータとして動作する。信号WDLが活性化レベルの「H」レベルの期間は、NANDゲート88およびNORゲート81の各々はインバータ86の出力信号に対してインバータとして動作する。信号WDLが活性化レベルの「H」レベルになるのは、信号/WE_i2が活性化レベルの「L」レベルである期間である。したがって、信号WDLが「H」レベルであり、かつデータDIが「H」レベルの期間は、PチャネルMOSTランジスタ89が導通しNチャネルMOSTランジスタ90が非導通になってデータバスDBが「H」レベルになる。また、信号WDLが「H」レベルであり、かつデータDIが「L」レベルの期間は、NチャネルMOSTランジスタ90が導通し、PチャネルMOSTランジスタ89が非導通になってデータバスDBが「L」レベルになる。

【0058】図9は、ラッチ回路9の構成を示す回路図である。図9において、このラッチ回路9は、NORゲート91、インバータ92～95およびクロックドインバータ96、97を含み、クロックドインバータ96、97の各々はPチャネルMOSTランジスタ101、102およびNチャネルMOSTランジスタ103、104を含む。

【0059】MOSTランジスタ101～104は、電源電位VCCのラインと接地電位DNDのラインとの間に直列接続される。クロックドインバータ96のMOSTランジスタ102、103のゲートはその入力ノード96aに接続され、そのMOSTランジスタ102、103のドレインはその出力ノード96bに接続される。クロックドインバータ97のMOSTランジスタ102、103のゲートはその入力ノード97aに接続され、そのMOSTランジスタ102、103のドレインはその出力ノード97aに接続される。

【0060】NORゲート91は、信号WDL、RDLを受け、その出力信号はインバータ92を介してクロックドインバータ96のNチャネルMOSTランジスタ104のゲートおよびクロックドインバータ97のPチャネルMOSTランジスタ101のゲートに入力されるとともに、インバータ92、93を介してクロックドインバータ96のPチャネルMOSTランジスタ101のゲートおよびクロックドインバータ97のNチャネルMOSTランジスタ104のゲートに入力される。

【0061】クロックドインバータ96の入力ノード96aとクロックドインバータ97の出力ノード97bとは、ともにデータバスDBに接続される。クロックドイ

ンバータ96の出力ノード96bは、クロックドインバータ97の入力ノード97aおよびインバータ94の入力ノードに接続される。インバータ94の出力ノードはインバータ95を介してクロックドインバータ97の入力ノード97aに接続される。

【0062】信号WDLまたはRDLが「H」レベルの期間は、クロックドインバータ96のMOSTランジスタ101、104が導通してクロックドインバータ96が活性化されるとともに、クロックドインバータ97のMOSTランジスタ101、104が非導通になってクロックドインバータ97が非活性化される。これにより、データバスDBのレベルがクロックドインバータ96を介してインバータ94、95からなるラッチ回路に取込まれる。信号WDL、RDLが「L」レベルになると、クロックドインバータ96が非活性化されるとともにクロックドインバータ97が活性化され、インバータ94、95にラッチされたレベルがクロックドインバータ97を介してデータバスDBに与えられる。したがってデータバスDBは、信号WDLまたはRDLが「L」レベルに立下がる際のレベルにラッチされる。

【0063】図10は、図6～図9で示したデータ書込に関連する部分の動作を示すタイムチャートである。ある時刻に信号/WEが活性化レベルの「L」レベルに立上ると、まず信号/WE_i2が活性化レベルの「L」レベルに立下がり、次いで信号WE₁が活性化レベルの「H」レベルに立上がる。信号/WE_i2が「L」レベルになると図8の入力バッファ11において書込データDIの入力が可能になり、信号WE₁が「H」レベルになると図7のタイミングジェネレータ20において信号WDLの出力が可能となる。

【0064】次に、書込データDIが入力されるとLD TD回路15から正パルス信号φLD TDが出力され、正パルス信号φLD TDはインバータ60で反転されて負パルス信号φLD TDとなる。信号/φLD TDの立上がりは、ライズディレイ回路70.1～70.Nによって順次遅延される。ライズディレイ回路70.1～70.Nの出力信号φ1～φNのパルス幅は、順次大きくなる。信号WDLは、信号WE₁と信号φ1と信号/φN-1の論理積信号となり、信号φ1の立上がりエッジに応答して「H」レベルに立上がり、信号φN-1の立上がりエッジに応答して「L」レベルに立下がる。

【0065】信号WDLが「H」レベルに立上がると書込データDIが入力バッファD1を介してデータバスDBに与えられ、信号WDLの立下がりエッジに応答してデータバスDBのレベルがラッチ回路9によってラッチされる。

【0066】この実施の形態のSRAMでは、信号WDLが「L」レベルに立下がると外部書込データDIはデータバスDBに入力されなくなるので(図8参照)、信号WDLの立下がりエッジとデータD、/Dの遷移点と

の間の時間がデータホールド時間のマージン T_{hm} となる。また、データセットアップ時間のマージン T_{sm} は、信号 WDL の立上がりエッジから信号 ϕWE の立上がりエッジまでの時間である。したがって、データホールド時間のマージン T_{hm} とデータセットアップ時間のマージン T_{sm} を別々に設定でき、従来のように T_{hm} と T_{sm} のうちの一方を大きくすると他方が小さくなることがないので、 T_{hm} と T_{sm} の両方を大きく設定することができる。

【0067】なお、この実施の形態では、入力データ D_I の遷移点に応答して生成される信号 $\phi LDTD$ に基づいて信号 WDL を生成したが、外部制御信号 ϕWE の立下がりエッジに응答して生成される信号 $\phi LATD$ に基づいて信号 WDL を生成してもよい。

【0068】また、ラッチ回路9については、従来と同様に信号 ϕWE_1 、 RDL で制御してもよい。

【0069】〔実施の形態2〕図11は、この発明の実施の形態2によるSRAMの要部を示す回路ブロック図であって、図2と対比される図である。

【0070】図11を参照して、このSRAMが実施の形態1のSRAMと異なる点は、データバス DB がライトデータバス WDB とリードデータバス RDB に分割され、ラッチ回路9がラッチ回路110で置換されている点である。ライトデータバス RDB は入力バッファ11とライトドライバ12の間に接続され、リードデータバス RDB はセンスアンプ8と出力バッファ10との間に接続される。

【0071】ラッチ回路110は、図12に示すように、インバータ111～116およびクロックドインバータ117～120を含む。クロックドインバータ117～120の各々は、図9で示したクロックドインバータ96、97と同じ構成である。信号 RDL は、インバータ113を介してクロックドインバータ117のPチャンネルMOSトランジスタ101のゲートに入力されるとともに、クロックドインバータ117のNチャンネルMOSトランジスタ104に直接入力される。信号 WDL は、インバータ114を介してクロックドインバータ118のPチャンネルMOSトランジスタ101のゲートに入力されるとともに、クロックドインバータ118のNチャンネルMOSトランジスタ104に直接入力される。

【0072】信号 SE は、インバータ115を介してクロックドインバータ119のNチャンネルMOSトランジスタ104のゲートに入力されるとともに、クロックドインバータ119のPチャンネルMOSトランジスタ101のゲートに直接入力される。信号 WDL は、インバータ116を介してクロックドインバータ120のNチャンネルMOSトランジスタ104のゲートに入力されるとともに、クロックドインバータ119のPチャンネルMOSトランジスタ101のゲートに直接入力される。

【0073】インバータ111と112は、逆並列に接続されてラッチ回路を構成する。クロックドインバータ117、118の入力ノード117a、118はそれぞれリードデータバス RDB およびライトデータバス WDB に接続され、各々の出力ノードはともにインバータ111の入力ノードに接続される。クロックドインバータ119、120の入力ノード119a、120aはともにインバータ112の出力ノードに接続され、各々の出力ノード119b、120bはそれぞれリードデータバス RDB およびライトデータバス WDB に接続される。

【0074】読出動作時は、まずセンスアンプ活性化信号 SE が活性化レベルの「H」レベルになってセンスアンプ8が活性化され、リードデータバス RDB がセンスアンプ8によって「H」レベルまたは「L」レベルにされる。次いで信号 RDL が活性化レベルの「H」レベルになってクロックドインバータ117が活性化され、リードデータバス RDB のレベルがクロックドインバータ117を介してインバータ111、112からなるラッチ回路に伝達される。次いで信号 SE 、 RDL が非活性化レベルの「L」レベルになると、クロックドインバータ117が非活性化されるとともにクロックドインバータ119が活性化され、インバータ111、112からなるラッチ回路にラッチされていたレベルはクロックドインバータ119を介してリードデータバス RDB に伝達される。

【0075】書込動作時は、信号 WDL が活性化レベルの「H」レベルになると書込データ D_I が入力バッファ11を介してライトデータバス WDB に与えられる。同時にクロックドインバータ118が活性化されるとともにクロックドインバータ120が非活性化され、ライトデータバス WDB のレベルがクロックドインバータ118を介してインバータ111、112からなるラッチ回路に伝達される。次いで信号 WDL が非活性化レベルの「L」レベルになると、クロックドインバータ118が非活性化されるとともにクロックドインバータ120が活性化され、インバータ111、112からなるラッチ回路にラッチされていたレベルがクロックドインバータ120を介してライトデータバス WDB に伝達される。

【0076】この実施の形態でも、実施の形態1と同じ効果が得られる。

〔実施の形態3〕図13は、この発明の実施の形態3によるSRAMのタイミングジェネレータ121の構成を示す回路ブロック図であって、図7と対比される図である。

【0077】図13を参照して、このタイミングジェネレータ121が図7のタイミングジェネレータ20と異なる点は、インバータ122、123およびNANDゲート124が追加されている点である。ライズディレイ回路70、N-2の出力信号 $\phi N-2$ は、インバータ122で反転されて信号 $\phi N-2$ となる。NANDゲート

ト124は、信号 $\phi N-2$ 、 $\phi 1$ 、WE1を受け、その出力信号はインバータ123で遅延されて信号WDL1となる。信号WDL1は、信号WDLの代わりにラッチ回路9に入力される。インバータ69の出力信号WDL2は、信号WDLの代わりに入力バッファ11に入力される。

【0078】信号 $\phi N-2$ は、図14に示すように、ライズディレイ回路70、1~70、 $N-2$ によって信号 $\phi LDTD$ の立上りを遅延させた信号である。信号 $\phi N-1$ は、信号 $\phi N-2$ の立上りをライズディレイ回路70、 $N-1$ によって遅延させた信号である。信号WDL1、WDL2は、ともに信号 $\phi 1$ の立上がりエッジにตอบสนองして「H」レベルに立上がり、それぞれ信号 $\phi N-2$ 、 $\phi N-1$ の立上がりエッジにตอบสนองして「L」レベルに立下がる。

【0079】この実施の形態では、データバスDBのレベルをラッチ回路9にラッチさせた後に入力バッファ11を非活性化させるので、十分なマージンを持ってラッチ回路9のデータを書換えることができる。

【0080】[実施の形態4] 図15は、この発明の実施の形態4によるタイミングジェネレータ131の構成を示す回路ブロック図であって、図7と対比される図である。

【0081】図15を参照して、このタイミングジェネレータ131が図7のタイミングジェネレータ20と異なる点は、ライズディレイ回路132、133が追加され、3入力NANDゲート74が2入力NANDゲート134で置換されている点である。ライズディレイ70、 $N-1$ の出力信号 $\phi N-1$ は、インバータ68およびライズディレイ回路132、133を介してNANDゲート134の一方入力ノードに入力される。信号WE1は、NANDゲート134の他方入力ノードに入力される。NANDゲート134の出力信号は、インバータ69で反転されて信号WDLとなる。正パルス信号 $\phi N-1$ の立上がり信号がライズディレイ回路132、133で遅延されて信号WDLが生成される。

【0082】この実施の形態でも、実施の形態1と同じ効果が得られる。図16は、実施の形態4の変更例となるタイミングジェネレータ135の構成を示す回路ブロック図である。図16において、このタイミングジェネレータ135では、図15のタイミングジェネレータ131にインバータ136、137、ライズディレイ回路138、139およびNANDゲート140が追加される。ライズディレイ回路70、 $N-2$ の出力信号 $\phi N-2$ は、インバータ136およびライズディレイ回路138、139を介してNANDゲート140の一方ノードに入力される。信号WE1は、NANDゲート140の他方入力ノードに入力される。NANDゲート140の出力信号は、インバータ137で反転されて信号WDL1となり、信号WDLの代わりにラッチ回路9に与えら

れる。インバータ64の出力信号WDL2は、信号WDLの代わりに入力バッファ11へ入力される。

【0083】この変更例でも、実施の形態3と同じ効果が得られる。

【実施の形態5】 図17は、この発明の実施の形態5によるSRAMの入力バッファ141の構成を示す回路ブロック図であって、図8と対比される図である。

【0084】図17を参照して、この入力バッファ141が図8の入力バッファ11と異なる点は、インバータ84の出力ノードとインバータ85の入力ノードとの間にボウスディレイ回路142が介挿されている点である。

【0085】信号WDLは、図10で示したように、信号WE1よりも速く立下がるように設定される。ディレイ回路のディレイ時間は図22で示したように電源電圧VCCが低くなると急激に大きくなるため、低電源電圧VCCでは図18に示すように信号 $\phi LDTD$ 、 $\phi N-1$ のパルス幅が広くなり、信号WDLは信号WE1と同時に立下がる。このままではデータホールド時間のマージン T_{hm} は0になってしまうので、この実施の形態の入力バッファ141では低電源電圧VCC時におけるデータホールド時間のマージン T_{hm}' を確保するためボウスディレイ回路142が設けられている。電源電圧VCCが高い場合は、図10で示したように、信号WDLの立下がりエッジとデータD、 ϕD の遷移点との間の時間がデータホールド時間のマージン T_{hm} となる。

【0086】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0087】

【発明の効果】 以上のように、請求項1に係る発明では、外部制御信号の前縁または外部データの遷移点にตอบสนองして第1の制御信号の前縁を出力し、外部制御信号の後縁が入力される前に第1の制御信号の後縁を出力する制御信号発生回路と、第1の制御信号の前縁が出力されてから後縁が出力されるまでの期間に外部データをデータバスに伝達させる入力バッファとが設けられる。したがって、データホールド時間のマージンは第1の制御信号の後縁が出力されてから外部データの入力が停止されるまでの期間となり、データセットアップ時間のマージンは第1の制御信号の前縁が入力されてから外部制御信号の後縁が入力されるまでの期間となる。このため、データホールド時間のマージンとデータセットアップ時間のマージンとのうち的一方を大きくしても他方は小さくなることはないので、データホールド時間のマージンとデータセットアップ時間のマージンの両方を十分に大きくすることができる。

【0088】請求項2に係る発明では、請求項1に係る発明の制御信号発生回路は、外部制御信号の前縁または外部データの遷移点にตอบสนองして予め定められたパルス幅の第1の信号を出力する第1の信号発生回路と、外部制御信号の前縁または外部データの遷移点にตอบสนองして第1の信号よりも広いパルス幅の第2の信号を出力する第2の信号発生回路と、第1の信号の後縁にตอบสนองして第1の制御信号の前縁を出力し、第2の信号の後縁にตอบสนองして第1の制御信号の後縁を出力する第3の信号発生回路とを含む。この場合は、制御信号発生回路を容易に構成できる。

【0089】請求項3に係る発明では、請求項1に係る発明の制御信号発生回路は、外部信号の前縁または外部データの遷移点にตอบสนองして予め定められたパルス幅の第1の信号を出力する信号発生回路と、第1の信号の後縁を予め定められた第2の時間だけ遅延させて第2の信号を生成する第1の遅延回路と、第2の信号の前縁を予め定められた第3の時間だけ遅延させて第1の制御信号を生成する第2の遅延回路とを含む。この場合は、制御信号発生回路を容易に構成できる。

【0090】請求項4に係る発明では、請求項1から3のいずれかに係る発明の入力バッファは、外部データを予め定められた時間だけ遅延させてデータバスに伝達させる。この場合は、半導体記憶装置が低電源電圧で駆動された場合でも、データホールド時間のマージンを確保することができる。

【0091】請求項5に係る発明では、請求項1から4のいずれかに係る発明に、データバスに接続され、第1の制御信号の後縁にตอบสนองしてデータバスのデータをラッチするラッチ回路がさらに設けられる。この場合は、入力バッファを非活性化させた後もデータバスのデータを保持することができる。

【0092】請求項6に係る発明では、請求項1から4のいずれかに係る発明の制御信号発生回路は、さらに、外部制御信号の前縁または外部データの遷移点にตอบสนองして第1の制御信号よりも狭いパルス幅の第2の制御信号を出力し、第2の制御信号の後縁にตอบสนองしてデータバスのデータをラッチするラッチ回路がさらに設けられる。この場合は、入力バッファを介してデータバスに伝送されたデータを十分なマージンをもって確実にラッチすることができる。

【0093】請求項7に係る発明では、請求項1から6のいずれかに係る発明のデータバスは、データの書込に用いられるライトデータバスであり、データの読出に用いられるリードデータバスがさらに設けられる。この場合は、より安定して読出／書込動作を行なうことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるSRAMの全体構成を示すブロック図である。

【図2】 図1に示したSRAMの要部を示す回路ブロック図である。

【図3】 図2に示したメモリセルの構成を示す回路図である。

【図4】 図1～図3に示したSRAMの読出動作を示すタイムチャートである。

【図5】 実施の形態1の変更例を示す回路図である。

【図6】 図1に示した読出／書込制御回路の構成を示す回路ブロック図である。

【図7】 図1に示したタイミングジェネレータの構成を示す回路ブロック図である。

【図8】 図1に示した入力バッファの構成を示す回路図である。

【図9】 図1に示したラッチ回路の構成を示す回路図である。

【図10】 図6～図9に示したデータ書込に関連する部分の動作を示すタイムチャートである。

【図11】 この発明の実施の形態2によるSRAMの要部を示す回路ブロック図である。

【図12】 図11に示したラッチ回路の構成を示す回路図である。

【図13】 この発明の実施の形態3によるSRAMのタイミングジェネレータの構成を示す回路ブロック図である。

【図14】 図13に示したタイミングジェネレータの動作を示すタイムチャートである。

【図15】 この発明の実施の形態4によるSRAMのタイミングジェネレータの構成を示す回路ブロック図である。

【図16】 実施の形態4の変更例を示す回路ブロック図である。

【図17】 この発明の実施の形態5によるSRAMの入力バッファの構成を示す回路ブロック図である。

【図18】 図17で説明したSRAMの書込動作を示すタイムチャートである。

【図19】 従来のSRAMの入力バッファの構成を示す回路ブロック図である。

【図20】 図19で示したデータバスに接続されるラッチ回路の構成を示す回路図である。

【図21】 図19および図20で説明したSRAMの書込動作を示すタイムチャートである。

【図22】 図19に示したボウスディレイ回路のディレイ時間の電源電圧依存性を示す図である。

【図23】 図19～図22で説明したSRAMの問題点を説明するためのタイムチャートである。

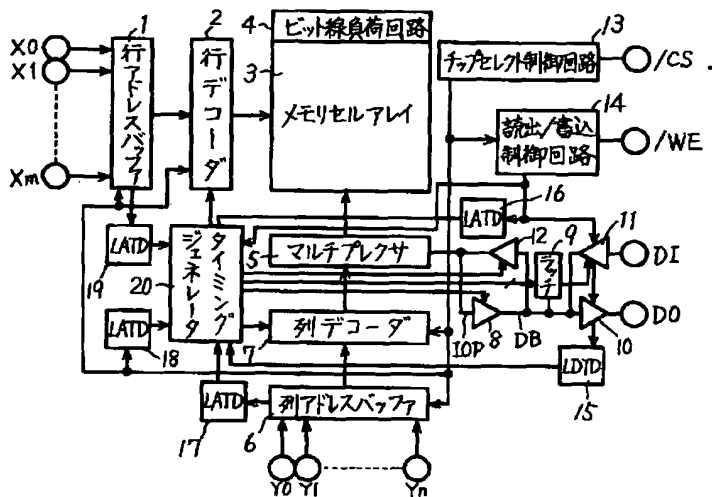
【符号の説明】

1 行アドレスバッファ、2 行デコーダ、3 メモリセルアレイ、4 ビット線負荷回路、4a～4d、5a～5d、23～26、33～36、75、76、90、103、104、162、183、184 Nチャネル

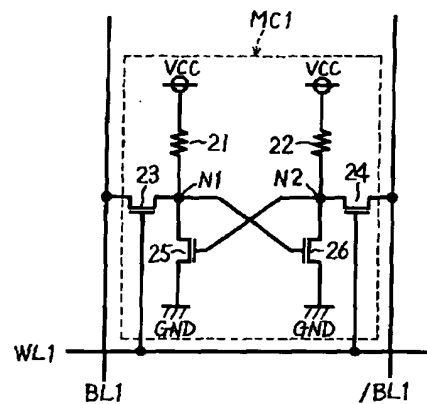
MOSTトランジスタ、5 マルチプレクサ、6 列アドレスバッファ、7 列デコーダ、8 センスアンプ、9、110、176 ラッチ回路、10 出力バッファ、11、141、150 入力バッファ、12 ライトドライバ、13 チップセレクト制御回路、14 読出／書込制御回路、15 LDTD回路、16～19 LATD回路、20、121、131、135 タイミングジェネレータ、21、22負荷抵抗素子、31、32、89、101、102、161、181、182PチャネルMOSTトランジスタ、41、80、81、91、151、152、171 NORゲート、42～51、60～69、82～87、92～95、111～1

16、122、123、137、153～158、172～175 インバータ、52 フォールディレイ回路、53、70、1～70、1N、71、132、133、138、139 ライズディレイ回路、72～74、88、124、134、140、160 NANDゲート、96、97、117～120、176、177 クロックドインバータ、142、159 ボウスディレイ回路、MC メモリセル、WL ワード線、BL、/BL ビット線対、CSL列選択線、IO、/IO データ入出力線対、DB データバス、WDB ライトデータバス、RDB リードデータバス。

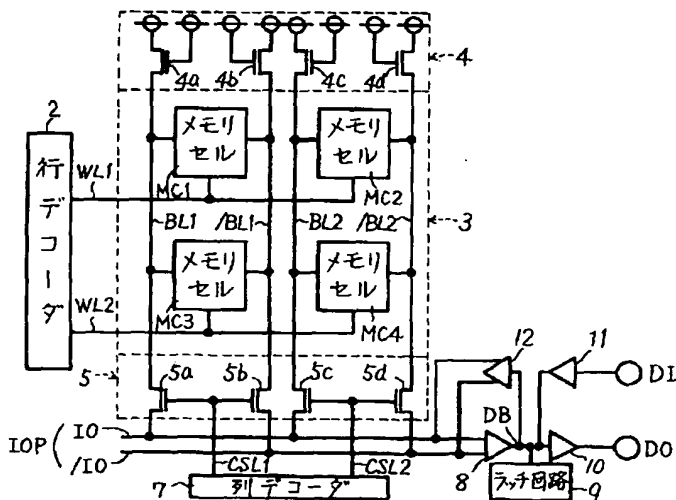
【図1】



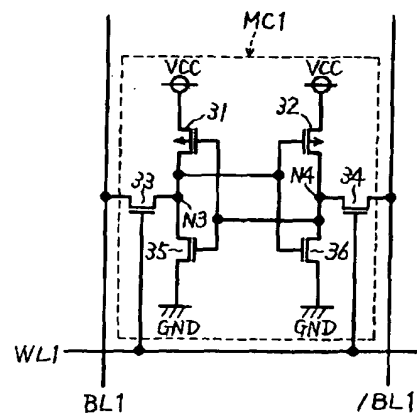
【図3】



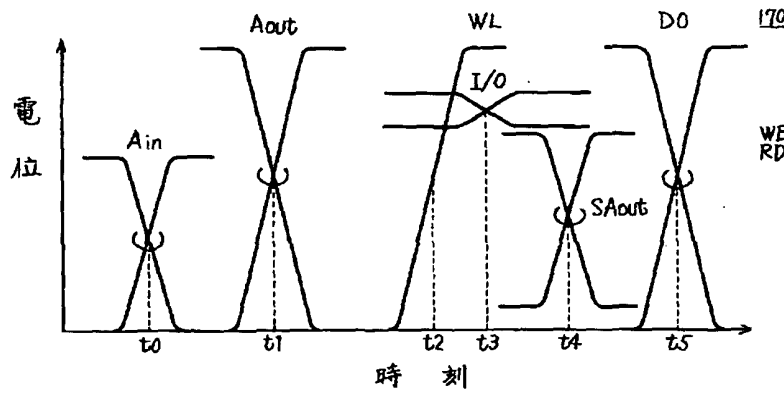
【図2】



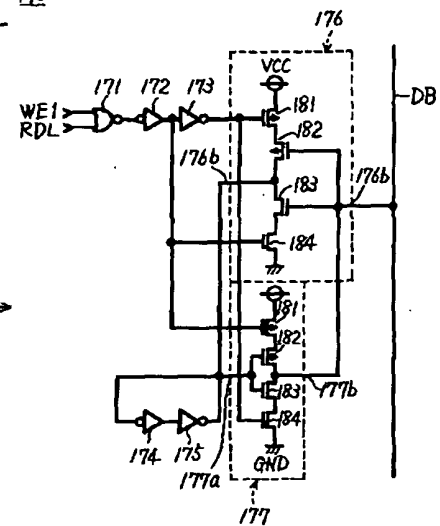
【図5】



【図4】

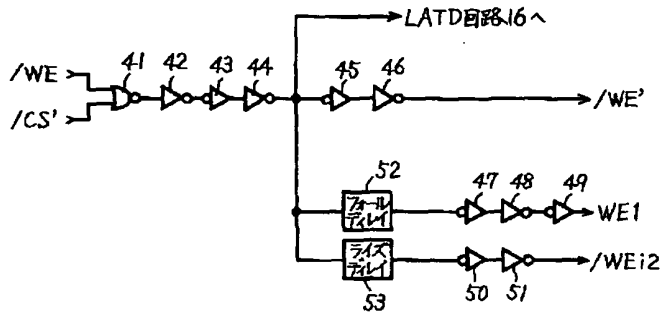


【図20】

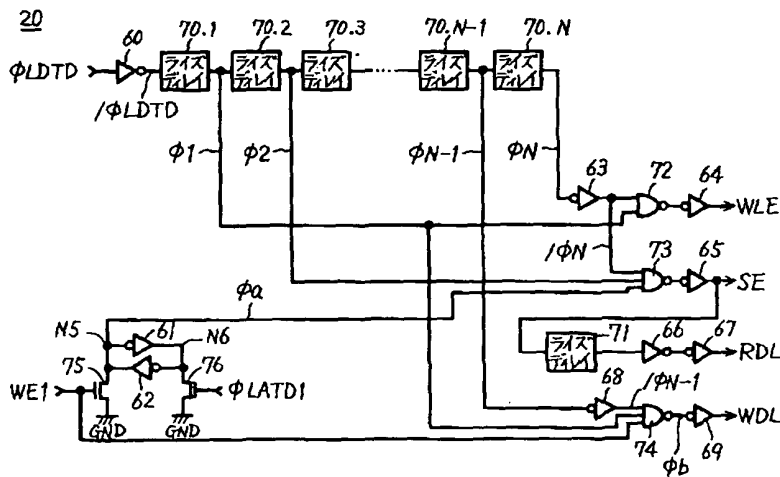


【図6】

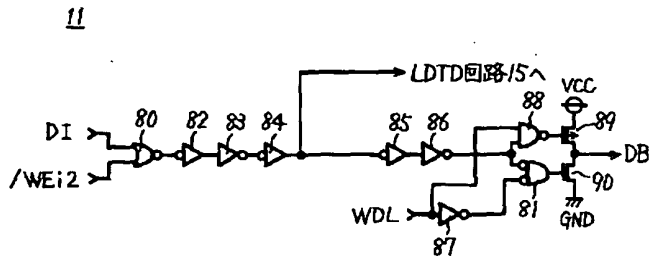
14



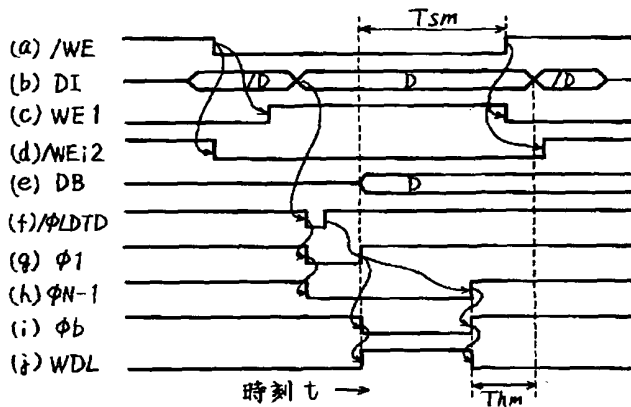
【図7】



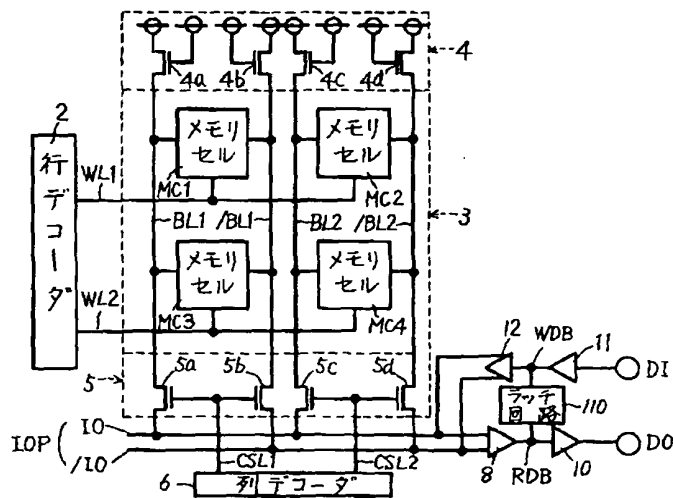
【図8】



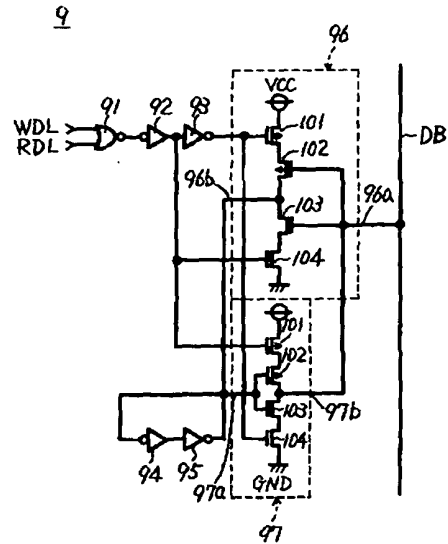
【図10】



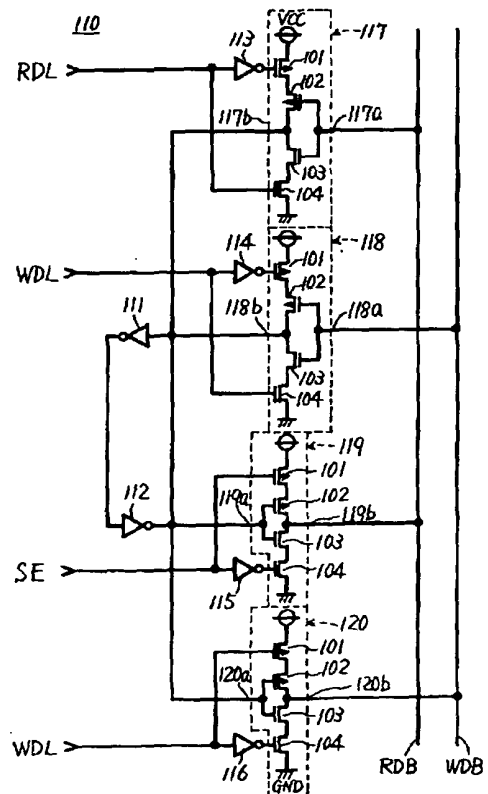
【図11】



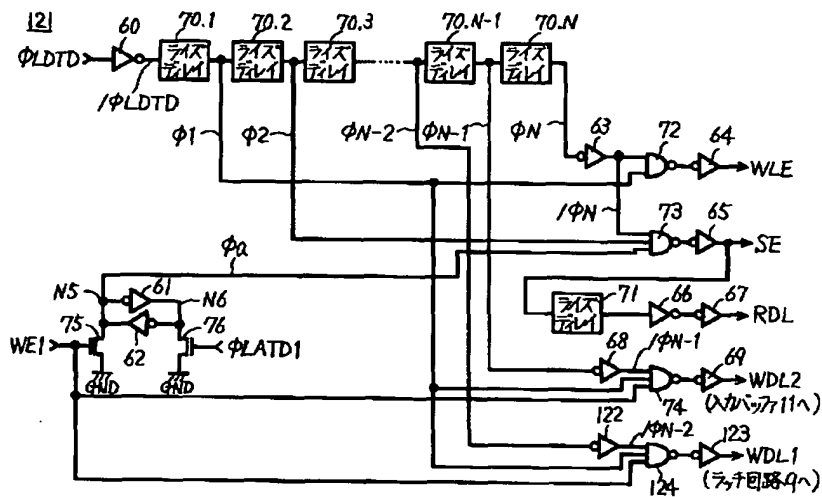
【図9】



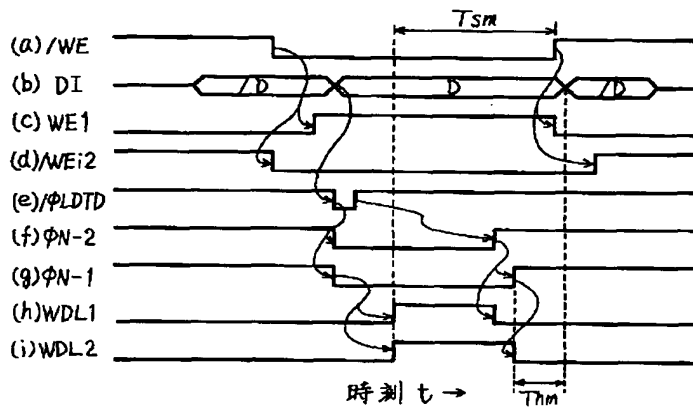
【図12】



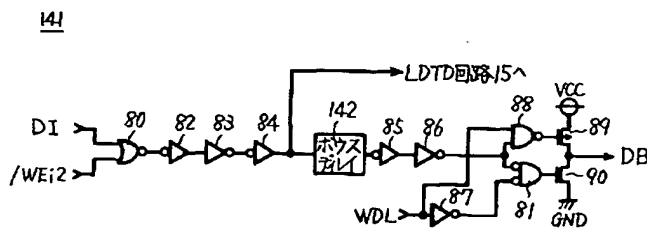
【 図 13 】



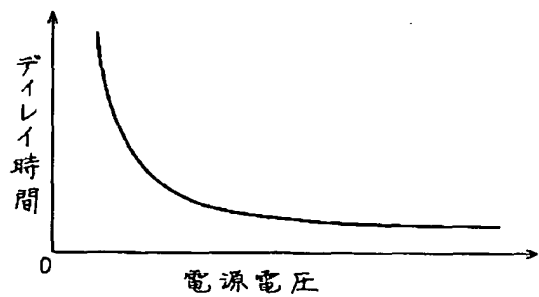
【 図 14 】



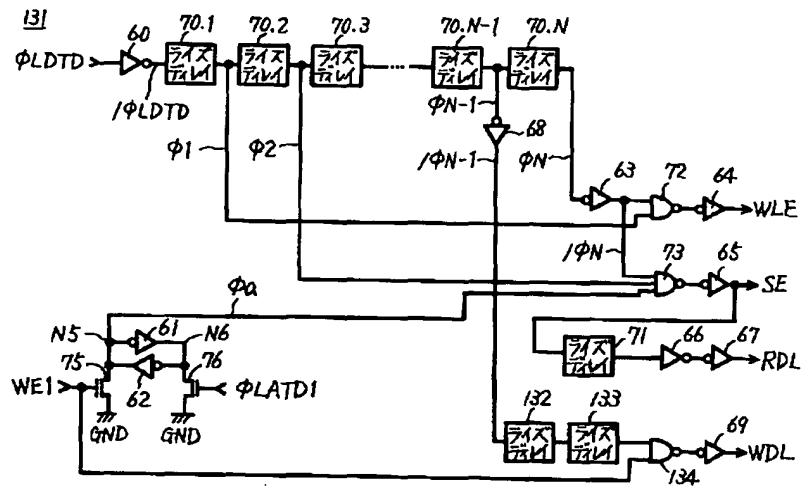
【 図 17 】



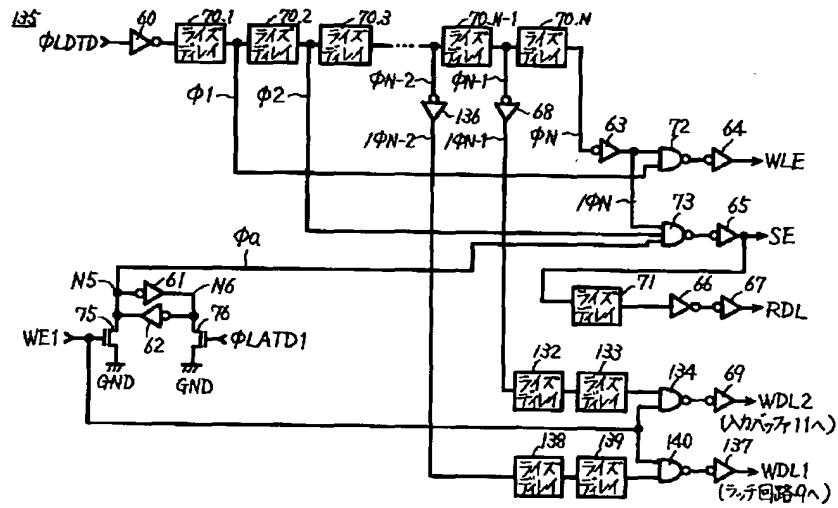
【 図 22 】



【図15】



【図16】



【図18】

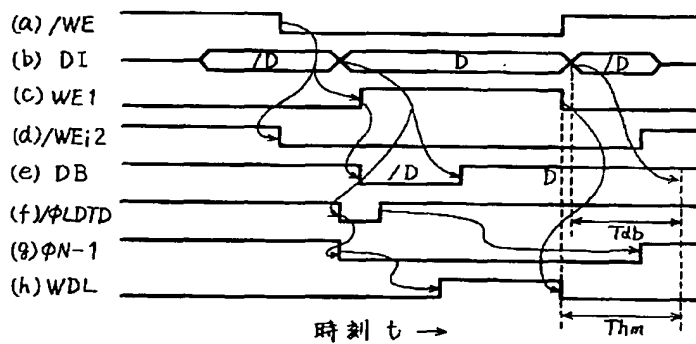


Figure 1 is a logic circuit diagram for the first stage of a 4-bit parallel adder. The circuit has two inputs: DI and $\overline{WE}:2$. The output is DB , and a carry signal is sent to the $LDTD$ circuit. The circuit consists of several logic gates: inverters (151, 153, 154, 155, 156, 157, 158), a NAND gate (159), and OR gates (160, 161, 162). The power supply VCC and ground GND are also indicated.

(a) ADD

(b) /WE

(c) D1

(d) WE1

(e) /WEi2

(f) ϕ_f

(g) DB

時刻 $t \rightarrow$

Timing diagram for a 4-bit parallel adder. The signals are:

- (a) \overline{WE}
- (b) DI
- (c) $WE1$
- (d) $\overline{WE2}$
- (e) ϕ_f
- (f) DB

The diagram shows the timing of these signals relative to clock phases T_{SM} and T_{bm} . The signals are active during specific intervals, with DI and DB being data signals and \overline{WE} , $WE1$, and $\overline{WE2}$ being control signals. The clock phases T_{SM} and T_{bm} are indicated at the bottom.